

PATENT ABSTRACTS OF JAPAN

A E

(11)Publication number : **62-122354**
 (43)Date of publication of application : **03.06.1987**

(51)Int.Cl.

H04L 11/00
H04Q 11/04

(21)Application number : 60-261975

(71)Applicant : IWATSU ELECTRIC CO LTD

(22)Date of filing : 21.11.1985

(72)Inventor : SHIMATANI TOSHIMICHI

OMORI HIDEHARU

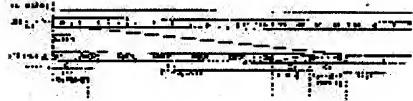
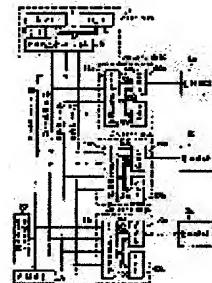
KAWASHIMA MASAYUKI

(54) METHOD AND EQUIPMENT FOR DATA TRANSMISSION

(57)Abstract:

PURPOSE: To simplify a system constitution including a master CPU side and a slave CPU side by sending a transmission enable address signal representing a slave CPU to be sent together with a data through a transmission from a master CPU toward the slave CPU.

CONSTITUTION: A master transmission/reception circuit 5 is constituted to execute transmission/reception by a data format, and an outgoing transmission format uses an outgoing transmission line 16 to send a data from the master transmission/reception circuit 5 to slave transmission/reception circuits 11a~11c. A slave transmission control signal includes information to control the transmission from slave circuits 2a~2c to a master circuit 1 in the section C4 of an outgoing format and it is called a transmission enable data. The data consists of 8-bit B0~B7, and the 6-bit B0~B5 are used for the address signal of the slave circuit to be sent, that is, the transmission enable address signal. Thus, the data transmission placing priority to the slave circuit having much data quantity is attained and the transmission line is efficiently used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑯ 公開特許公報 (A)

昭62-122354

⑮ Int.Cl.⁴

H 04 L 11/00
H 04 Q 11/04

識別記号

320

厅内整理番号

7830-5K
K-7117-5K

⑯ 公開 昭和62年(1987)6月3日

審査請求 未請求 発明の数 2 (全14頁)

⑯ 発明の名称 データ伝送方法及び装置

⑯ 特願 昭60-261975

⑯ 出願 昭60(1985)11月21日

⑯ 発明者 鳴谷 俊道 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

⑯ 発明者 大森 英晴 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

⑯ 発明者 川島 雅之 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

⑯ 出願人 岩崎通信機株式会社 東京都杉並区久我山1丁目7番41号

⑯ 代理人 弁理士 高野 則次

明細書

1. 発明の名称

データ伝送方法及び装置

2. 特許請求の範囲

(1) 単一のマスタCPU(中央処理装置)と、前記マスタCPUにデータを伝送し、且つ前記マスタCPUからのデータを受け取る複数のスレーブCPUと、

前記マスタCPUから前記各スレーブCPUにデータを時分割伝送するための第1の共通伝送路と、

前記各スレーブCPUから前記マスタCPUにデータを時分割伝送するための第2の共通伝送路と、

前記マスタCPUと前記第1の共通伝送路との間に設けられたマスタ傳送信用バッファメモリと、

前記第2の共通伝送路と前記マスタCPUとの間に設けられたマスタ録受信用バッファメモリと、

前記各スレーブCPUと前記第2の共通伝送路との間に夫々設けられた複数のスレーブ録送信用

バッファメモリと、

前記各スレーブCPUと前記第1の共通伝送路との間に夫々設けられた複数のスレーブ録受信用バッファメモリと

を有するデータ伝送回路を使用して前記マスタCPUと前記各スレーブCPUとの間で時分割方式でデータ伝送を行う方法であつて、

前記第1の共通伝送路を使用して前記マスタCPUから前記各スレーブCPUにデータを時分割で送るためのフォーマットの中に、前記第1の共通伝送路で伝送するデータを受け入れる前記スレーブCPUを示すアドレス信号を配置すると共に、前記第2の共通伝送路を使用してデータ伝送することを許可する前記スレーブCPUを示す送信許可アドレス信号を配置することを特徴とするデータ伝送方法。

(2) 前記送信許可アドレス信号はシーケンシャルに決定された送信許可アドレス信号及びノ・又は任意に決定された送信許可アドレス信号である特許請求の範囲第1項記載のデータ伝送方法。

(3) 前記データは電話の交換制御データである特許請求の範囲第1項又は第2項記載のデータ伝送方法。

(4) 単一のマスタCPU(中央処理装置)と、前記マスタCPUにデータを伝送し、且つ前記マスタCPUからのデータを受け取る複数のスレーブCPUと、

前記マスタCPUから前記各スレーブCPUにデータを時分割伝送するための第1の共通伝送路と、

前記各スレーブCPUから前記マスタCPUにデータを時分割伝送するための第2の共通伝送路と、

前記マスタCPUと前記第1の共通伝送路との間に設けられたマスタ傳送信用バスファーメモリと、

前記第2の共通伝送路と前記マスタCPUとの間に設けられたマスタ側受信用バスファーメモリと、

前記各スレーブCPUと前記第2の共通伝送路との間に夫々設けられた複数のスレーブ傳送信用バスファーメモリと、

【産業上の利用分野】

本発明は、単一のマスター(主)CPU(中央処理装置)と複数のスレーブ(従)CPUとの間のデータ伝送を時分割方式で行うデータ伝送方法及び装置に関するもので、更に詳細には、時分割交換方式における交換制御データのCPU間伝送に好適なデータ伝送方法及び装置に関するものである。

【従来の技術とその問題点】

マスターCPUとの管理下にかかる複数のスレーブCPUとの間のデータ伝送を行う時に、マスターCPUに複数のスレーブCPUを夫々独立に接続すれば、データ伝送路の数が必然的に多くなる。この問題を解決するため、マスターCPUに共通の伝送路を介して複数のスレーブCPUを接続し、データ伝送を時分割で行うことは、例えば、特開昭54-138313号公報及び特開昭60-95670号公報等で公知である。しかし、スレーブCPUのデータを効率良くマスターCPUに伝送する方法はまだ提案されていない。またマスターCPUにデータを伝送するスレーブCPUをマ

特開昭62-122354(2)

前記各スレーブCPUと前記第1の共通伝送路との間に夫々設けられた複数のスレーブ側受信用バスファーメモリと、

を有して前記マスターCPUと前記各スレーブCPUとの間で時分割方式でデータ伝送を行う装置であつて、

前記第2の共通伝送路を使用してデータ伝送することを許可する前記スレーブCPUを示す送信許可アドレス信号を作成する手段と、

前記手段から送出された前記送信許可アドレス信号を、前記第1の共通伝送路で伝送するデータを受け入れる前記スレーブCPUを示すアドレス信号を伴なつてマスター側送信データフォーマットの中に挿入する手段と、

を備えていることを特徴とするデータ伝送装置。

(5) 前記送信許可アドレス信号はシーケンシャルに決定された送信許可アドレス信号及びノアリ任意に決定された送信許可アドレス信号である特許請求の範囲第4項記載のデータ伝送装置。

3. 発明の詳細な説明

マスターCPU側から指示する方式もまだ提案されていない。

そこで、本発明の目的は、送信すべきスレーブCPUの指示を容易且つ簡単な方式で行うことができ、且つマスターCPUとスレーブCPUとの間のデータ伝送の効率を良くすることが可能なデータ伝送方法を提供することにある。

【問題点を解決するための手段】

上記目的を達成するための本発明の方法に係わる発明は、単一のマスターCPU(中央処理装置)と、前記マスターCPUにデータを伝送し、且つ前記マスターCPUからのデータを受け取る複数のスレーブCPUと、前記マスターCPUから前記各スレーブCPUにデータを時分割伝送するための第1の共通伝送路と、前記各スレーブCPUから前記マスターCPUにデータを時分割伝送するための第2の共通伝送路と、前記マスターCPUと前記第1の共通伝送路との間に設けられたマスター側受信用バスファーメモリと、前記第2の共通伝送路と前記マスターCPUとの間に設けられたマスター側送信用バスファーメモリと、

ツファメモリと、前記各スレーブCPUと前記第2の共通伝送路との間に夫々設けられた複数のスレーブ御送信用バッファメモリと、前記各スレーブCPUと前記第1の共通伝送路との間に夫々設けられた複数のスレーブ備受信用バッファメモリとを有するデータ伝送回路を使用して前記マスタCPUと前記各スレーブCPUとの間で時分割方式でデータ伝送を行う方法であつて、前記第1の共通伝送路を使用して前記マスタCPUから前記各スレーブCPUにデータを時分割で送るためのフォーマットの中に、前記第1の共通伝送路で伝送するデータを受け入れる前記スレーブCPUを示すアドレス信号を配置すると共に、前記第2の共通伝送路を使用してデータ伝送することを許可する前記スレーブCPUを示す送信許可アドレス信号を配置することを特徴とするデータ伝送方法に係るものである。

また、本発明の装置に係わる発明は、例えばマスタCPUを兼用して送信許可アドレス信号を作成する手段と、この送信許可アドレス信号をマスタ

されたシーケンシャル制御に基づく時分割で行えば、伝送割り当て時間が固定されるため、複数のスレーブCPU間に於いて伝送すべきデータ量にバラツキが生じた時に、共通伝送路の効率的利用が不可能になる。これに対して、本発明では、マスタCPU側からスレーブCPUのデータ送出を制御することが出来るので、スレーブCPU側のデータ量を監視し、データ量の多いスレーブCPUの送信割り当て時間を長くすることができる。また、本発明の方法では、送信許可アドレス信号がデータを伝送するための第1の共通伝送路を使用して送られるために、回路構成が複雑にならない。

また、装置の発明においては、送信許可アドレス信号をデータとは別に作成し、これをデータフォーマットとに挿入する。従つて、送信許可アドレス信号の取扱いが容易になる。

【実施例】

次に、図面を参照して本発明の実施例に係わる時分割交換方式におけるマスタCPUと複数のス

特開昭62-122354 (3)

御送信データフォーマットの中に挿入する手段(例えは実施例のスレーブ送信制御信号発生回路20及びORゲート4)を有する。

【作用】

上記発明によれば、マスタCPUからスレーブCPUにデータを送るためのデータ伝送フォーマットの中に、送信すべきスレーブCPUを示す送信許可アドレス信号を入れるので、スレーブCPU側において、上記の送信許可アドレス信号を読み取り、送信許可アドレス信号に一致したアドレスを有するスレーブCPUからデータをマスタCPUに送ることが可能になる。即ち、マスタCPU側でスレーブCPUからのデータの送り出しを制御することができる。複数のスレーブCPUからの送信は、通常はシーケンシャルに行われる。固定されたシーケンシャル制御であれば、あえて、フォーマットに送信すべきスレーブCPUを示す送信許可アドレス信号を入れ、これによつてスレーブCPUからのデータの伝送を制御する必要がない。しかし、スレーブCPUからの送信を固定

スレーブCPU間のデータ伝送方式について説明する。

第1図は時分割交換方式における交換制御データ(情報)をマスタ回路(1)と複数のスレーブ回路(2a)(2b)(2c)とでやりとりする方式を示す。共通のマスタ回路(1)に対しては最大64個のスレーブ回路を接続することが可能であるが、第1図では説明の都合上第1、第2及び第3のスレーブ回路(2a)(2b)(2c)のみが示されている。各スレーブ回路(2a)(2b)(2c)には電話回路(3a)(3b)(3c)が接続されている。各電話回路(3a)(3b)(3c)は、例えは複数の端末装置(電話機、ファクシミリ等)を含む加入者回路又は局線回路であり、交換制御データ(発呼データ、被呼データ)をスレーブ回路(2a)(2b)(2c)と端末装置との間で送受信する回路を含む。

マスタ回路(1)は、交換機全体の制御を受け持つ主制御回路であり、マスタCPU(4)、マスタ送受信回路(5)、マスタCPU(4)を助けるためのメモリ(6)から成る。マスタCPU(4)、マスタ送受信回路

(5)、メモリ(6)は互いにデータバス(7)により接続され、且つマスタCPU(4)とマスタ送受信回路(5)との間には送信制御線(8)と受信制御線(9)とが設けられている。

各スレーブ回路(2a)(2b)(2c)は、各スレーブCPU(10a)(10b)(10c)と、各スレーブ送受信回路(11a)(11b)(11c)と、各メモリ(12a)(12b)(12c)とから成る。各スレーブCPU(10a)(10b)(10c)と各スレーブ送受信回路(11a)(11b)(11c)と各メモリ(12a)(12b)(12c)とは互いにデータバス(13a)(13b)(13c)で接続され、且つ各スレーブCPU(10a)(10b)(10c)と各スレーブ送受信回路(11a)(11b)(11c)との間には送信制御線(14a)及び受信制御線(15a)(15b)(15c)が設けられている。

マスタ送受信回路(5)には、第1の共通伝送路としての下り伝送路(16)と、第2の共通伝送路としての上り伝送路(17)と、クロック信号線(18)と、同期信号線(19)とが接続されている。なお、クロック信号線(18)は基準クロック信号発生器(20)に接続され、同期信号線(19)は同期信号発生器(21)に接続されている。

アクシミリ信号等の情報信号は、第1図では省略されている情報交換回路を介して伝送される。

第1図に示すマスタ回路(1)内のメモリ(6)、及びスレーブ回路(2a)～(2c)内のメモリ(12a)～(12c)は、マスタCPU(4)及びスレーブCPU(10a)～(10c)を助けるためにプログラム及びデータを記憶する外部メモリである。従つて、各CPU(4)及び(10a)～(10c)が十分な記憶容量を有するメモリを内蔵していれば、この外部メモリ(6)及び(12a)～(12c)を設けることが不要になる。

第2図は第1図のマスタ送受信回路(5)を詳しく示すものである。このマスタ送受信回路(5)は、第8図～第11図に示すデータフォーマットで送受信を実行するよう構成されている。このため、マスタ傳送信用パッファメモリ(22)及びマスタ備受信用パッファメモリ(23)の他、スレーブ送信制御信号発生回路(24)と、スレーブ送信用パッファメモリ(25)及び状態信号(以下単にフラグと呼ぶ)を受信するためのフラグ受信回路(26)と、スレーブ備受信データ普通通知信号受信回路(27)と、アドレス検出回路(28)と、自己のアドレスを設定するアドレス設定回路(29)と、ORゲート(30)と、タイミング信号発生回路(31)と、CPUインターフェース(32)とを含む。

特開昭62-122354 (4)

各スレーブ送受信回路(11a)(11b)(11c)は、マスタ送受信回路(5)に独立の伝送路で夫々接続されずに、共通の上り及び下り伝送路(16)(17)に接続されている。また、各スレーブ送受信回路(11a)(11b)(11c)は、共通のクロック信号線(18)及び共通の同期信号線(19)に接続されている。従つて、マスタ回路(1)と各スレーブ回路(2a)(2b)(2c)の間には4本の信号線が設けられているのみである。スレーブ回路を増設してもこの4本の信号線で十分である。

第1図の方式において、例えば電話回路(3a)から交換制御データがスレーブCPU(10a)に送られると、これがスレーブ送受信回路(11a)と上り伝送路(16)とマスタ送受信回路(5)とを介してマスタCPU(4)に送られる。今、第1の電話回路(3a)と第2の電話回路(3b)とを接続することを要求する交換制御データであるとすれば、電話回路(3b)を呼び出すためのデータがマスタCPU(4)で作られ、これがマスタ送受信回路(5)と下り伝送路(17)とスレーブ送受信回路(11b)とを介して第2のスレーブCPU(10b)に送られる。なお、通話信号又はフ

と、マスタ回路(1)即ち自己のアドレス(コード)設定回路(29)と、ORゲート(30)と、タイミング信号発生回路(31)と、CPUインターフェース(32)とを含む。

第3図はスレーブ送受信回路(11a)を詳しく示すものである。このスレーブ送受信回路(11a)は、スレーブ傳送信用パッファメモリ(22)及びスレーブ備受信用パッファメモリ(23)の他、スレーブ傳送信データ量通知信号発生回路(24)と、フラグ発生回路(25)と、スレーブ送信制御信号受信回路(26)と、アドレス検出回路(28)と、自己のアドレスを設定するアドレス設定回路(29)と、ORゲート(30)と、タイミング信号発生回路(31)と、CPUインターフェース(32)とを有する。なお、第1図の第2及び第3のスレーブ送受信回路(11b)(11c)は、第1のスレーブ送受信回路(11a)と同一構成であるので、これ等の詳しい説明は省略する。

第4図はマスタ傳送信用パッファメモリ(22)を詳しく示すものである。このメモリ(22)は、記憶部(22a)と、8ビットシフトレジスタ(22b)と、送信メモリ制御回路(22c)とから成り、ファースト

インファーストアウト(FIFO)に構成されている。記憶部(22a)は、夫々が6バイトの4つのブロックM₁、M₂、M₃、M₄を有する。

第5図はマスタ側受信用バッファメモリの構成を詳しく示すものである。このメモリは、記憶部(23a)と、8ビットシフトレジスタ(23b)と、受信メモリ制御回路(23c)とから成り、ファーストインファーストアウト(FIFO)に構成されている。記憶部(23a)は、夫々が6バイトの4つのブロックm₁、m₂、m₃、m₄を有する。

第6図はスレーブ送信用バッファメモリの構成を詳しく示すものである。このメモリは、記憶部(32a)と、8ビットシフトレジスタ(32b)と、送信メモリ制御回路(32c)とから成る。記憶部(32a)は、夫々が6バイトの4つのブロックN₁、N₂、N₃、N₄を有する。このメモリは、第4図に示すマスタ送信用バッファメモリと実質的に同一構成である。

第7図はスレーブ受信用バッファメモリの構成を詳しく示すものである。このメモリは記憶部(33a)

第1図の下り伝送路(1)を使用してマスタ送受信回路(15)からスレーブ送受信回路(11a)(11b)(11c)にデータを伝送する時のフォーマットを示す。この単位フレームのフォーマットは単位タイムスロット(6470クロック)に対応し、1バイトのスレーブ受信制御信号区間C₁と、5バイトのデータ区間C₂と、1バイトの未定義区間C₃と、1バイトのスレーブ送信制御信号区間C₄とから成る。

区間C₁に配置されるスレーブ受信制御信号は、区間C₂のデータをスレーブ回路(2a)(2b)(2c)が受信する時に必要な情報を含み、第9図に示す如く、8ビットA₀～A₇から成る。そして、A₀～A₆で示す6ビットは、送信する相手先スレーブ回路のアドレス信号が書き込まれる。スレーブ回路(2a)(2b)(2c)はこれ等を識別するための自己アドレス(コード)を、例えば[0000000][0000001][00000010]の様に有する。従つて、今、区間C₂のデータを第1のスレーブ回路(2a)に送る場合には、第9図のビットA₀～A₆にアドレス[0000000]が書き込まれる。この方式では、

特開昭62-122354(5)

a)と、8ビットシフトレジスタ(33b)と、受信メモリ制御回路(33c)とから成る。記憶部(33a)は、夫々が5バイトの4つのブロックn₁、n₂、n₃、n₄を有する。このメモリは第5図のマスタ受信用バッファメモリと実質的に同一構成である。

第8図は、同期信号、フレームタイムスロット、下り及び上り伝送フォーマットを示す。第8図に示す同期信号は、第1図の同期信号発生器から発生するものであり、未進クロック信号発生器から発生するクロックパルス4096個に1個の割合で発生する。

第8図はフレームタイムスロットを示す。単位タイムスロット(単位フレーム時間)は64クロックから成る。従つて、同期信号の1周期(4096クロック)に64のフレームタイムスロットが配当されている。1つのタイムスロットにおいて1つのスレーブ回路のデータ伝送が行われるので、最大64のスレーブ回路を1つのマスタ回路(1)に接続することができる。

第8図は下り伝送フォーマットを示す。即ち、

送信の相手先はシーケンシャルに決定され、第8図のタイムスロット0～63に対応する順番のアドレス信号を伴なつたデータがマスタCPU(4)から順に発生する。スレーブ回路(2a)～(2c)及び図示が省略されている他のスレーブ回路のコードが第8図のフレームタイムスロットの番号に対応して決定されているので、送信相手先スレーブ回路の順番は、第1図に示す配列順の(2a)(2b)(2c)……となる。

第9図のビットA₇には送信データ有無信号が書き込まれる。即ち、マスタ回路(1)から特定の相手先スレーブ回路に送るデータが有る場合には例えば"1"が書き込まれ、データが無い場合には下り伝送路(1)の休止期間と同一の例えば"0"とする。

第8図の下り伝送フォーマットの区間C₂には5バイトの交換制御データを書き込む。第8図に示す区間C₂のスレーブ受信制御信号と区間C₂のデータとは、マスタCPU(4)で形成された後に、バス(7)を経つ第2図のインタフェース(6)に入り、更に内部バス(31a)を経つて送信用バッファメモリ

り回に入る。このメモリ回は、第4図に示す如く構成されているため、第8図の区間C₁とC₂の6バイトのデータが単位となつてます第1ブロックM₁に書き込まれる。そして、マスターCPU(4)による6バイトのデータの第1ブロックM₁に対するすべての書き込みが終了すれば、マスターCPU(4)から送信制御線(8)を介して書き込み終了信号が第4図に示す送信メモリ制御回路(22c)に与えられる。この制御回路(22c)は書き込み終了信号に応答して第1ブロックM₁の6バイトのデータを第2ブロックM₂に移し、第2ブロックM₂のデータは第3ブロックM₃に移す。即ち、各ブロックM₁～M₃のデータを次のブロックに次々移す。これにより、第1ブロックM₁が空き、次の書き込みが可能になる。また、第4ブロックM₄のデータは8ビットシフトレジスタ(22b)に送り出され、このシフトレジスタ(22b)でシリアルに変換されて下り伝送路(10)に送り出される。下り伝送路(10)に送り出すタイミングは、タイミング信号発生回路(9)の制御に基づいて第8図のt₀～t₁でスレーブ受信制御信号となり、

に使用され、ビットB₀は送信許可/禁止信号に使用される。この方式ではスレーブ回路(2a)(2b)(2c)の判断によつて一方的にマスター回路(11)にデータを送ることはできない。下り伝送フォーマットの区間C₄のスレーブ送信制御信号に含まれている送信許可アドレス信号と一致したアドレスを有するスレーブ回路のみが送信する。今、第1のスレーブ回路(2a)からマスター回路(11)に送信させる場合には、ビットB₀～B₄に第1のスレーブ回路(2a)のアドレス信号[000000]を書き込む。

ところで、この方式では、スレーブ回路(2a)～(2c)からマスター回路(11)に対する時分割伝送をシーケンシャルに行うモードと、マスターCPU(4)の判断によつて任意に行うモードとを選択的にとり得る。シーケンシャルモードの場合には、第8図のフォーマットの区間C₁における相手先スレーブ回路のアドレス信号の決定と同様に、第1図のスレーブ回路(2a)(2b)(2c)の配列順番に送信許可アドレス信号がマスターCPU(4)から発生し、これがスレーブ送信制御信号発生回路(9)に送られ、ここ

特開昭62-122354 (6)

t₁～t₂でデータとなる様に決定される。送信用バッファメモリ回の各ブロックN₁～N₄は、6バイトのデータしか格納することができない。そして、6バイトの書き込み終了信号に基づいてファーストインファーストアウトで6バイトのデータ転送が行われる。従つて、マスターCPU(4)の誤り又は電気的ノイズで7バイトのデータをメモリ回に書き込むような誤動作が生じても、他のデータブロックにこの誤りが波及することはない。この様な効果、第5図、第6図、第7図のメモリ回の時でも得られる。

第8図の下りフォーマットの区間C₄のスレーブ送信制御信号は、スレーブ回路(2a)(2b)(2c)からマスター回路(11)への送信を制御するための情報を含むもので、送信許可データと呼ぶことができるものである。このスレーブ送信制御信号区間C₄は、第10図に示す如く8ビットB₀～B₇から成り、この内の6ビットB₀～B₅は送信させるスレーブ回路のアドレス信号(コード)即ち送信許可アドレス信号に使用され、ビットB₆は送信モード切換信号

でタイミング調整されてORゲート(4)に送り出され、フォーマットの区間C₄に挿入される。

一方、非シーケンシャルモードの場合には、スレーブ回路(2a)(2b)(2c)からマスター回路(11)に通知されたスレーブ側送信データ量に基づいてマスターCPU(4)がスレーブ回路(2a)(2b)(2c)の送信割り当て時間を変える。今、第1のスレーブ回路(2a)の送信すべきデータ量が他のスレーブ回路(2b)(2c)に比較して極めて多いということがマスターCPU(4)で判断されると、マスターCPU(4)は、非シーケンシャルモード送信を指令するモード切換信号を例えば"1"の形式で第10図のビットB₆に書き込む。これと同時に、第8図(9)に示す複数のタイムスロット期間に連続的に第1のスレーブ回路(2a)を示す送信許可アドレス信号[000000]を第10図のビットB₀～B₄に書き込む。この結果、第1のスレーブ回路(2a)に書き込みが与えられた時分割送信が実行され、データ量の多いスレーブ回路を優先したデータ伝送が可能になり、上り伝送路(10)を効率良く使用することができる。

特開62-122354 (7)

第10図のビットB₇に書き込まれる送信許可/禁止信号は、第2図に示す受信用バッファメモリ4の状態を示す信号であり、このメモリ4のすべてのアドレスにデータが書き込まれている場合には、メモリ4は新しいデータを受け入れることができないので、第2図のライン(23d)によつてスレーブ送信制御信号発生回路40にこれを知らせ、第10図のビットB₇に禁止を示す"1"を書き込む。第10図に示す区間C₄の送信許可アドレス信号及びモード切換信号は第1図のマスターCPU(4)で形成された後に、ここからバス(7)、インターフェース40、内部バス(312)を介してスレーブ送信制御信号発生回路40に送られる。なお、ビットB₇に対しても、第2図の受信用バッファメモリ4からスレーブ側からの送信を禁止する信号(メモリ4の受け入れ不能信号)が発生した時のビットB₇に"1"を書き込む。そして、区間C₄の1バイトの制御データは、タイミング信号発生回路40から送出されるタイミング信号に基づく制御により、第8図のt₃～t₄において第2図のスレーブ送信制御信号発

一回路(2a)のアドレス[000000]とを比較し、一致している時にはライン(37a)によつて受信用バッファメモリ43をデータ書き込み状態に制御する。なお、アドレス検出回路40には、第9図のフォーマットにおけるビットA₇の送信データ有無信号のチェックを行う回路も内蔵されている。従つて、送信データ有りで且つアドレスが一致した時のみ、受信用バッファメモリ43を書き込み状態に制御する信号が発生する。区間C₄のデータの抽出はタイミング信号発生回路40による制御に基づいて行われる。

今、アドレス一致の出力が得られ、これがライン(37a)によつてスレーブ受信用バッファメモリ43に与えられると、メモリ43は第7図に示す如く構成されているため、シフトレジスタ(33b)でラッピングされたデータが第1ブロックn₁に書き込まれる。データは第8図のフォーマットの区間C₄の5バイトのデータ単位で順次に次のブロックに転送される。そして、第4ブロックn₄のデータは第3図の内部バス(41a)、インターフェース40、バス

回路40から発生する。送信バッファメモリ4の出力とスレーブ送信制御信号発生回路40の出力とはORゲート4に入力し、第8図のC₄に示すフォーマットとなる様に加算され、下り伝送路40に送り出される。この方式では、スレーブ回路(2a)(2b)(2c)からマスター回路(1)に対する送信を制御するための信号が、下り伝送フォーマットで王データと共に送られるために、スレーブ送信制御信号のための専用の信号線が不要になる。

下り伝送路40には複数のスレーブ回路(2a)(2b)(2c)が接続されているために、同一の伝送信号が夫々のスレーブ送信回路(11a)(11b)(11c)に入力する。しかし、第8図のC₄のフォーマットの区間C₄に書き込まれているスレーブ受信制御信号で指定されたスレーブ回路のみが受信する。この選択的受信を第3図によつて更に詳しく説明する。下り伝送路40に接続されているアドレス検出回路40は、下り伝送フォーマットの区間C₄におけるビットA₀～A₄に書き込まれている受信指示アドレス信号とアドレス設定回路40で設定された自己のスレ

(13a)を介して第1図のスレーブCPU(10a)に送られる。メモリ43からのデータの読み出しをバイト単位で5回行われると、単位ブロックのデータの読み出しが終了する。第1図のスレーブCPU(10a)はメモリ43からの単位データブロックの読み出しを終了すると、終了信号をライン(15a)で第7図の受信メモリ制御回路(33c)に送り、記憶部(33a)におけるデータブロックの転送が行われる。メモリ43の各ブロックn₁～n₄にデータが書き込まれているために、新しいデータの受け入れが不可能の場合には、これをライン(33d)によつてフラグ発生回路40に知らせる。

下り伝送路40には、第8図のC₄に示す区間C₄のデータの他に、区間C₄に示すスレーブ送信制御信号が送られてくる。第3図のスレーブ送信制御信号受信回路40は、タイミング信号発生回路40の制御に基づいて第8図のC₄の区間C₄のデータを抽出し、これを第1図に示すスレーブCPU(10a)に送る。このデータは第10図に示す種々の情報を含んでおり、スレーブCPU(10a)はこれを辨認し、ス

レーブ CPU (10a) からマスタ CPU (4) への送信を制御する。マスタ CPU (4) からスレーブ CPU (10a) に送られた区間 C_1 のデータは、例えば、電話回路 (3a) における端末装置の呼び出しに使用される。

次に、スレーブ回路 (2a)(2b)(2c) からマスタ回路 (1) へのデータ伝送を説明する。今、各スレーブ回路 (2a)(2b)(2c) の送信すべきデータ量がほぼ等しいとすれば、シーケンシャルに時分割されて各スレーブ回路 (2a)(2b)(2c) のデータが第 8 図のタイムスロット単位で順次に送り出される。第 8 図 (b) はスレーブ回路 (2a)(2b)(2c) からマスタ回路 (1) へデータを伝送するためのフォーマットを示す。このフォーマットの 8 ビット (1 バイト) から成る第 1 の区間 E_1 は、相手先のマスタ回路 (1) のアドレス信号を書き込む部分である。第 2 の区間 E_2 は 5 バイトから成るデータ区間であり、マスタ CPU (4) に送るデータを書き込む部分である。第 3 の区間 E_3 は、8 ビットのスレーブ側送信データ量通知信号区間である。第 4 の区間 E_4 は 8 ビットのフ

第 8 図 (b) の区間 E_3 で発生させるスレーブ側送信データ量通知信号は、スレーブ CPU (10a) で作成され、第 3 図のスレーブ側送信データ量通知信号発生回路 50 に送られる。この回路 50 は、タイミング信号発生回路 40 による制御で、第 8 図の t_1 ～ t_2 でスレーブ側送信データ量通知信号を送出する。

第 8 図 (b) の区間 E_4 のフラグは、第 3 図に示す受信用バッファメモリのデータ書き込み状態を示す信号であり、受信用バッファメモリにデータを書き込む余裕が有るか無いかを示す信号である。このフラグはメモリに対する書き込み可能な場合に "0" となり、書き込み不可能な場合に "1" となる。フラグは 1 ビットの信号であるため、区間 E_4 の余りの 7 ビットには別のスレーブ回路のフラグが書き込まれる。第 11 図はフラグの配賦を示し、第 8 図 (b) の各タイムスロット 0 ～ 6 に対応してフラグ f_0 ～ f_6 が決定されている。タイムスロット 0 ～ 6 に対応して 64 個のスレーブ回路が設けられていれば、フラグ f_0 ～ f_6 は 64 個の

特開昭62-122354 (8)

フラグ区間である。今、第 1 のスレーブ回路 (2a) からマスタ回路 (1) にデータを伝送するとすれば、スレーブ CPU (10a) から、このスレーブ CPU (10a) を示すアドレス信号と伝送データとが第 3 図のバス (13a)、インタフェース HD、内部バス (41a) を介して送信用バッファメモリ 40 に送られ、第 6 図に詳しく述べた送信用バッファメモリ 40 の第 1 のブロック N_1 に書き込まれる。第 1 のブロック N_1 に対する第 8 図 (b) の区間 E_1 及び E_2 の 6 バイトのデータの書き込みが終了すると、これを示す信号がスレーブ CPU (10a) からライン (14a) を介して送信メモリ制御回路 (32c) に与えられ、第 1 のブロック N_1 のデータが第 2 のブロック N_2 に移される。しかる後、次の 6 バイトのデータが第 1 のブロック N_1 に書き込まれる。そして、第 4 のブロック N_4 のデータは、8 ビットシフトレジスタ (32b) を介して上り伝送路 40 に送り出される。即ち、タイミング信号発生回路 40 による制御に基づいて第 8 図の t_1 ～ t_2 でアドレス信号、 t_1 ～ t_2 でデータを送り出す。

スレーブ回路の受信用バッファメモリの状態を示すことになる。フラグは全部で 64 個あるので、8 個のタイムスロットに分割配置され、8 タイムスロット後に繰返して送出される。第 3 図に示す第 1 のスレーブ回路 (2a) におけるフラグ発生回路 40 のフラグ f_0 の送出タイミングは、タイミング信号発生回路 40 による制御に基づいてなされる。なお、フラグはタイムスロット 0、8、16、24、32、40、48、56 における夫々の区間 E_4 の最初のビットに書き込まれる。上り伝送路 40 は共通であるので、別のスレーブ回路 (2b)(2c) は第 11 図に示すタイミングでフラグ f_1 、 f_2 を発生する。

第 3 図の送信用バッファメモリ 40 から出力される第 8 図 (b) の t_1 ～ t_2 のアドレス信号と t_1 ～ t_2 のデータとの合成データと、スレーブ側送信データ量通知信号発生回路 50 から出力される第 8 図 (b) の t_1 ～ t_2 の信号と、フラグ発生回路 40 から出力される t_1 ～ t_2 のフラグとは OR ゲート 40 で加算されて上り伝送路 40 に送り出される。上り伝送路 40 においては、既に説明した如く、別のスレーブ回路のフ

特開昭62-122354 (9)

ラグが加算されて、これがマスタ回路(1)に送られる。

上述の如く、フラグを独立の信号線で送らずに、データ伝送のための上り伝送路切を使用して送るので、回路構成が簡略化されている。

ところで、第2図に示すマスタ側受信用バッファメモリがデータを受け入れることができない状態にあれば、スレーブ回路(2a)～(2c)からデータを送出することを禁止しなければならない。このスレーブ回路(2a)(2b)(2c)側からマスタ回路(1)側への送信制御は、下り伝送路切でマスタ回路(1)からスレーブ回路(2a)(2b)(2c)に送られて来る第8図の区間C₁に示す信号に基づいてなされる。即ち、例えば、スレーブ回路(2a)は、第3図に示すスレーブ送信制御信号受信回路(4)で受信した信号をスレーブCPU(10a)に送り、スレーブCPU(10a)はこの信号を解説し、第10図に示すビットB₇が“0”的時には送信許可信号を出し、“1”的時には送信禁止信号を出す。この送信禁止信号が送られて来た時には、ビットB₆～B₁で送信許可

る様に形成されているので、タイムスロット毎にアドレス検出を行うことができる。アドレス信号の一致に基づいて受信用バッファメモリのブロックm₁に書き込まれた5バイトのデータは、順次に次のブロックに送られ、第4のブロックm₄から第2図の内部バス(31a)、インタフェース(3)、バス(7)を介して第1図のマスタCPU(4)に読み取られる。なお、マスタCPU(4)は、5バイトのデータブロックの読み取り終了ごとにこれを示す信号を信号線(9)を介して第5図の受信メモリ制御回路(23c)に送り、ブロックm₁、m₂、m₃、m₄のデータを次段に移す。

第2図のスレーブ側送信データ量通知信号受信回路(4)は、タイミング信号発生回路(6)による制御に基づいて第8図の区間E₁の信号を抽出し、マスタCPU(4)に送る。マスタCPU(4)はスレーブ側送信データ量通知信号を解説し、もし、複数のスレーブ回路(2a)(2b)(2c)における送信データ量の値が一定以上あることを判定した場合には、第10図のビットB₆を“1”として非シーケンシャル

アドレスが与えられていても、送信は禁止される。

第10図のビットB₆に書き込まれている送信モード切換信号がシーケンシャルモードを指定する“0”的場合には、複数のスレーブ回路(2a)(2b)(2c)に順次に送信時間が割り当てられる。即ち、同一時刻に複数のスレーブ回路(2a)(2b)(2c)からの送信が行なわれないような時分割がなされる。

上り伝送路切を通過して第8図のフォーマットでデータがマスタ回路(1)に送られると、第2図に示す受信用バッファメモリにデータが書き込まれる。この時、フォーマットにおける区間E₁のアドレス信号は、アドレス検出回路(4)に読み取られ、アドレス設定回路(6)のアドレスと比較され、一致している時に、受信用バッファメモリにライン(27a)で書き込み指令を出す。これにより、区間E₁のデータが第5図のシフトレジスタ(23b)を介して第1ブロックm₁に書き込まれる。アドレス設定回路(6)は、スレーブ回路(2a)(2b)(2c)の送信順番に対応したアドレス信号(スレーブ回路を識別する信号)をタイムスロット毎に順次に出力され

ルモードを設定する。これと同時にスレーブ回路の送信順番を変更するアドレス信号を形成し、第2図のスレーブ送信制御信号発生回路(6)に送る。即ち、送信データ量の多いスレーブ回路に対して長い送信割り当て時間を与える。第3図のスレーブ送信制御信号受信回路(4)が第10図のフォーマットを受信し、これをスレーブCPU(10a)に送ると、スレーブCPU(10a)はこれを解説し、非シーケンシャルモードを設定し、且つマスタ回路(1)から与えられている第10図のビットB₆～B₁がスレーブ回路(2a)を指定している限り、送信を継続する。即ち単位スロットで送信を終了させないで、複数スロットの期間送信を継続する。送信データ量のスレーブ回路間にかかるパラッキが少なければ、マスタCPU(4)は再びシーケンシャルモードを設定する。この様に非シーケンシャルモードの送信を選択的に取り入れると、データの効率の良い伝送が可能になる。

第2図のフラグ受信回路(4)は、第8図の区間E₁で送られてくるフラグをタイミング信号発生回路

の制御に基づいて抽出し、マスタCPU(4)に送る。マスタCPU(4)はフラグを解読し、スレーブ側受信用バッファメモリ(6)が受信不可能であることを示すフラグが発生している時には、送信用バッファメモリ(6)からのデータの送出を禁止する。これにより、マスタ回路(11)からスレーブ回路(2a)(2b)(2c)に向けてのデータ伝送管理が確実に達成される。

この方式において、スレーブ回路を64個よりも増やしたい時には、同期信号の1周期のタイムスロットを64よりも多くする。この時、下り及び上り伝送路切替、クロック信号発生、同期信号以外の信号線を新たに設けることは不要である。

〔変形例〕

本発明は上述の実施例に限定されるものではなく、例えば、次の変形例が可能なものである。

(a) 第10図の送信させるスレーブ回路の送信許可アドレスをシーケンシャルとするか、非シーケンシャルとするかの区別を、第8図のフォー

〔発明の効果〕

上述から明らかに如く、本発明によれば、マスタCPUからスレーブCPUに向う伝送路によって、データと共に、送信すべきスレーブCPUを示す送信許可アドレス信号を送るので、送信制御のための特別の信号線が不要になる。また、各スレーブCPU側に時分割送信制御するための信号を発生させる回路が不要になる。このため、マスタCPU側とスレーブCPU側とを含むシステムの構成が簡単になる。また、マスタCPU側からスレーブCPU側に送るデータのフォーマットの中に送信すべきスレーブCPUを示す送信許可アドレス信号が含まれ、且つこの送信許可アドレスは容易に変更可能であるため、マスタCPUの判断で、複数スレーブCPUの送信を非シーケンシャルに制御し、効率の良い送信を行うことも可能である。

4. 図面の簡単な説明

第1図は本発明の1実施例に係る時分割交換機における交換制御データの伝送方式を示すプロ

特開昭62-122354 (10)

マットにおける区間E₀のスレーブ側送信データ番号通知信号に基づいて行わずに、マスタ回路(11)が受信したデータに基づいてスレーブ回路の送信データ量を判断し、これにより行つてもよい。この場合には、第8図の区間E₀が空くので、ここにフラグを書き込み、1タイムスロットに16のフラグを割り当ててもよい。また、非シーケンシャルに送信させるスレーブ回路のアドレスを決定することが不要な場合には、第10図のビットB₀のモード切換信号が不要になるので、これを別の信号に使用してもよい。

(b) 交換機に限ることなく、例えば、マスタ回路(11)を主コンピュータ、スレーブ回路(2a)(2b)(2c)を従コンピュータとして、相互にデータ交換する方式にも適用可能である。要するに、マスタCPUと複数のスレーブCPUを有する種々のシステムに適用可能である。

(c) マスタ回路(11)とスレーブ回路(2a)(2b)(2c)との間の下り及び上り伝送路切替をパラレルデータ伝送路としてもよい。

ツク図。

第2図は第1図のマスタ送受信回路を詳しく示すブロック図。

第3図は第1図のスレーブ送受信回路を詳しく示すブロック図。

第4図は第2図のマスタ側送信用バッファメモリを詳しく示すブロック図。

第5図は第2図のマスタ側受信用バッファメモリを詳しく示すブロック図。

第6図は第3図のスレーブ側送信用バッファメモリを詳しく示すブロック図。

第7図は第3図のスレーブ側受信用バッファメモリを詳しく示すブロック図。

第8図は同期信号、タイムスロット、及び下り及び上り伝送フォーマットの時間関係を示す図。

第9図は第8図のスレーブ受信制御信号の内容を詳しく示すビット配置図。

第10図は第8図のスレーブ送信制御信号の内容を詳しく示すビット配置図。

第11図は第8図のフラグの配置を8タイムス

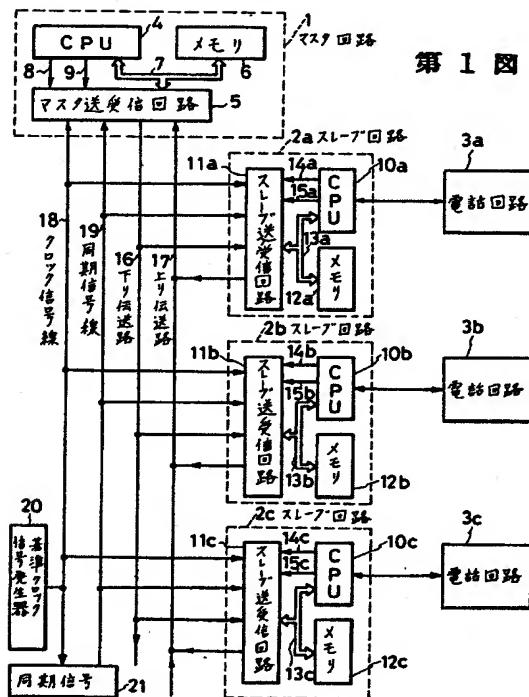
ロット分交す配算図である。

(1) マスター回路、(2a)(2b)(2c) スレーブ回路、
 (4) マスターCPU、(5) マスター送受信回路、(10a)(10b)(10c) スレーブCPU、(11a)(11b)(11c) スレーブ送受信回路、08 下り伝送路、07 上り伝送路、09 クロック信号線、10 同期信号線、22 マスター送信用バッファメモリ、24 マスター受信用バッファメモリ、32 スレーブ傳送信用バッファメモリ、33 スレーブ備受信用バッファメモリ。

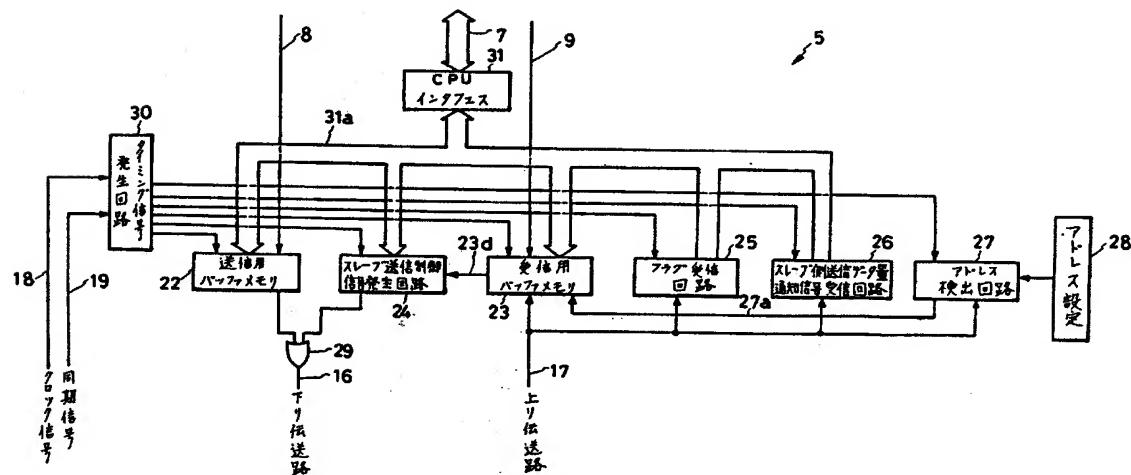
代理人 高野則次

特開昭62-122354 (11)

第 1 図

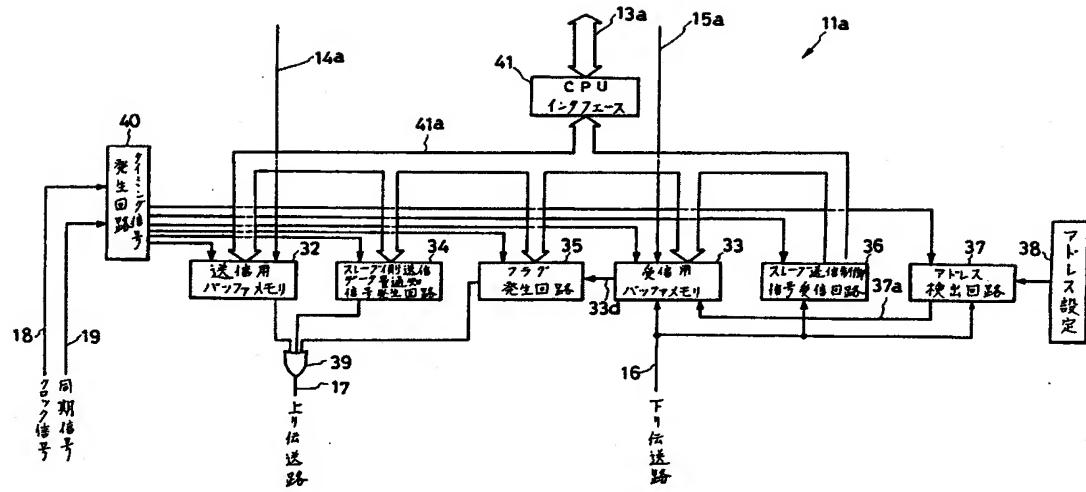


第 2 図



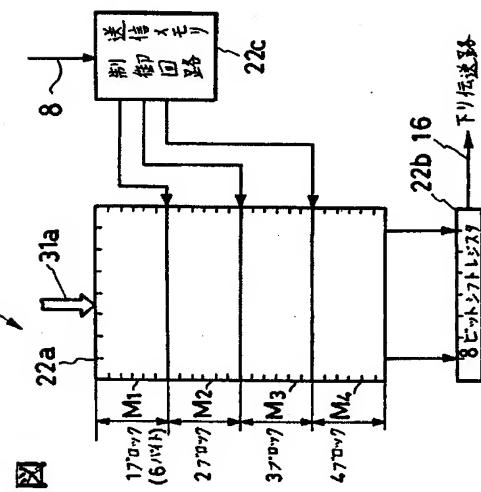
特開昭62-122354 (12)

第3圖

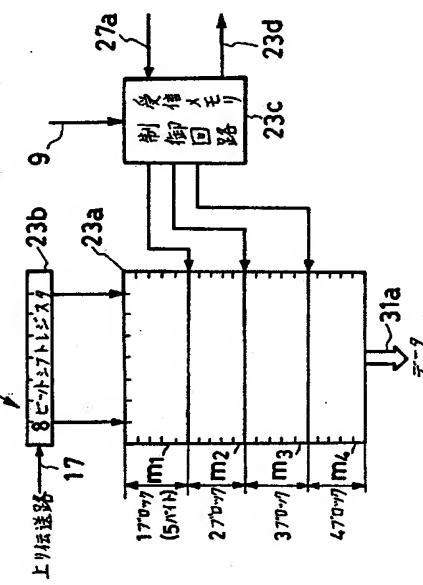


2.2 送信用バッファモリ

四

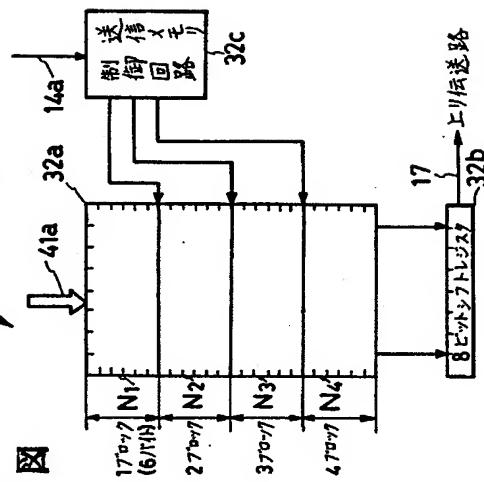


25



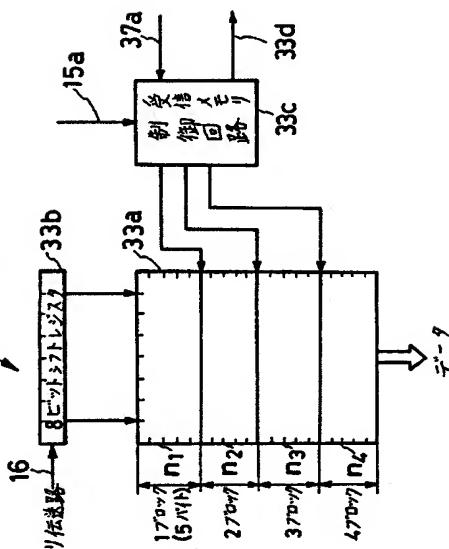
特開昭 62-122354 (13)

32スレーブ送信用バスメモリ



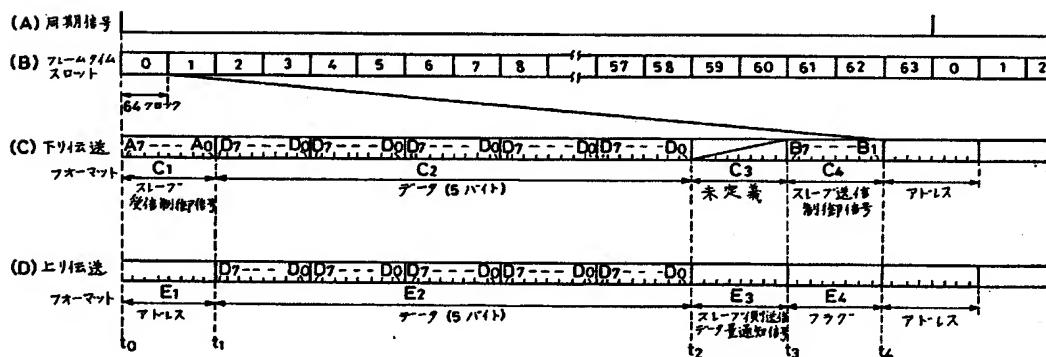
第6図

33スレーブ受信用バスメモリ



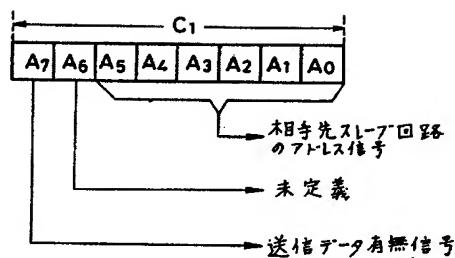
第7図

第8図

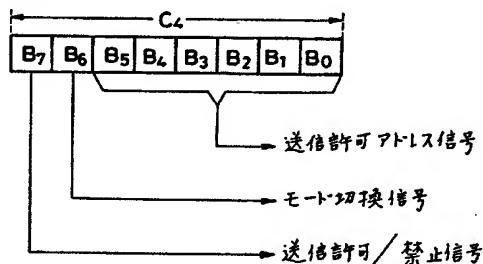


特開昭62-122354 (14)

第9図



第10図



第11図

タイムスロット i	f ₀	f ₁	f ₂	f ₃	f ₄	f ₅	f ₆	f ₇
i+1	f ₈							f ₁₅
i+2	f ₁₆							f ₂₃
i+3	f ₂₄							f ₃₁
i+4	f ₃₂							f ₃₉
i+5	f ₄₀							f ₄₇
i+6	f ₄₈							f ₅₅
i+8	f ₅₆							f ₆₃

(ただし i = 0, 8, 16, 24, 32, 40, 48, 56)